

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of

Kenichiro YAGAWA

Conf.

Application No. NEW NON-PROVISIONAL

Group

Filed April 2, 2004

Examiner

CDMA BASE STATION APPARATUS

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

April 2, 2004

Sir:

Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-106463	April 10, 2003

Certified copy(ies) of the above-noted application(s) is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



Benoit Castel, Reg. No. 35,041
745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297
Telefax (703) 685-0573
703) 979-4709

BC/yr

Attachment(s): 1 Certified Copy(ies)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 0 日
Date of Application:

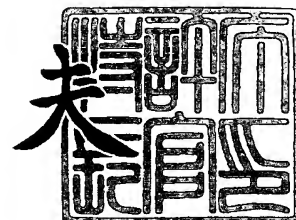
出 願 番 号 特 願 2 0 0 3 - 1 0 6 4 6 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 0 6 4 6 3]

出 願 人 日 本 電 気 株 式 有 限 公 司
Applicant(s):

2 0 0 4 年 3 月 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 52700289

【提出日】 平成15年 4月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H04B 7/26
H04J 13/02

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 矢川 健一郎

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100123788

【弁理士】

【氏名又は名称】 宮崎 昭夫

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】**【予納台帳番号】** 201087**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0304683**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 CDMA 基地局装置

【特許請求の範囲】

【請求項 1】 ベースバンド信号処理を行うためのベースバンド信号処理ユニットと、RF 信号処理を行うための複数の RF 信号処理ユニットとを有する CDMA 基地局装置において、

前記ベースバンド信号処理ユニットと前記複数の RF 信号処理ユニットとの間がデジタル信号を双方向に伝送することができるケーブルにより接続され、

前記ベースバンド信号処理ユニットでは、CPU 間通信信号、フレームタイミング信号、フレーム番号、基準クロックのうちの少なくとも 1 つの信号をベースバンド信号に多重化して前記各 RF 信号処理ユニットに送信し、

前記複数の RF 信号処理ユニットでは、フレームタイミング信号、CPU 間通信信号のうちの少なくとも 1 つの信号を、復調されたデジタル信号に多重して前記ベースバンド信号処理ユニットに送信することを特徴とする CDMA 基地局装置。

【請求項 2】 前記ベースバンド信号処理ユニットが、

下り送信用のデジタルデータのベースバンド処理および上り受信用のデータのベースバンド処理を行っているベースバンド信号処理部と、

前記ベースバンド信号処理部により生成された下り送信用のデジタルデータに対してチャネライゼーションコーディングを行うチャネライゼーションコーディング処理部と、

前記チャネライゼーションコーディング処理部によりチャネライゼーションコーディングされたデジタルデータに対してスクランブルコーディングを行うスクランブルコーディング処理部と、

前記複数の RF 信号処理ユニットの各 CPU と CPU 間シリアル通信を行うための CPU 間通信信号を生成している CPU 間通信シリアルコントローラと、

フレームタイミング信号の生成を行っているフレームタイミング生成部と、

フレーム番号の生成を行っているフレーム番号生成部と、

前記スクランブルコーディング処理部によりスクランブルコーディングされた

後のデジタル信号、前記フレームタイミング生成部において生成されたフレームタイミング信号、前記フレーム番号生成部で生成されたフレーム番号、前記CPU間通信シリアルコントローラから入力されたCPU間通信信号を多重化して、フォーマットコンバートする多重化部と、

任意のチップタイミングで複数のRF信号処理ユニットのうちの任意のRF信号処理ユニットへのデータ信号をオン／オフするためのタイミングを生成しているIPDLタイミング生成部と、

前記多重化部により多重化およびフォーマットコンバートされた後のデジタル信号を、前記IPDLタイミング生成部により生成されたタイミングに基づいて、任意の区間のチップ単位のオン／オフ制御を行うIPDL用オン／オフ部と、

前記IPDL用オン／オフ部から入力された多重化されたデジタル信号に対してコーディング処理を行う高速デジタル信号用コーディング部と、

前記高速デジタル信号用コーディング部によりコーディングされた後のデジタル信号をパラレルシリアル変換することにより高速差動デジタル信号に変換して前記各RF信号処理ユニットに出力するパラレルシリアル変換部と、

前記各RF信号処理ユニットから入力されたシリアル信号をパラレルデジタル信号に変換するシリアルパラレル変換部と、

前記シリアルパラレル変換部によりパラレル変換された後の受信デジタル信号に対してデコーディング処理を行う高速デジタル信号用デコーディング部と、

前記高速デジタル信号用デコーディング部によりデコーディング処理が行われた後の受信デジタル信号を、復調された受信デジタル信号とCPU間通信信号とに分離する分離部とを有する請求項1記載のCDMA基地局装置。

【請求項3】 前記ケーブルが光ケーブルであり、

前記ベースバンド信号処理ユニットが、

前記パラレルシリアル変換部によりパラレルシリアル変換されたデジタル信号を光信号に変換して前記光ケーブルを介して前記各RF信号処理ユニットに出力する電気信号／光信号変換部と、

前記光ケーブルを介して前記各RF信号処理ユニットから入力された高速差動デジタル信号を電気信号に変換して前記シリアルパラレル変換部に出力する光信

号／電気信号変換部とをさらに有する請求項2記載のCDMA基地局装置。

【請求項4】 前記複数のRF信号処理ユニットが、それぞれ、

前記ベースバンド信号処理ユニットからケーブルを通して入力された高速差動デジタル信号に対してパラレル変換を行うことによりパラレルデジタル信号に変換するシリアルパラレル変換部と、

前記シリアルパラレル変換部によりパラレル変換された後のパラレルデジタル信号から基準クロックを抽出するクロック抽出部と、

前記シリアルパラレル変換部によりパラレル変換されたデジタル信号に対してデコーディング処理を行う高速デジタル信号用デコーディング部と、

前記高速デジタル信号用デコーディング部によりデコーディング処理された後のデジタル信号を、スクランブルコーディングされたデジタル信号とCPU間通信信号とに分離する分離部と、

前記分離部により分離されたスクランブルデコーディングされたデジタル信号の変調を行い各移動局への送信を行うRF部へ出力する変調部と、

前記分離部において分離されたCPU間通信信号からフレームタイミングを抽出しているフレームタイミング抽出部と、

前記分離部において分離されたCPU間通信信号からフレーム番号を抽出しているフレーム番号抽出部と、

前記ベースバンド信号処理ユニットのCPUと、CPU間シリアル通信を行うためのCPU間通信信号を生成しているCPU間通信シリアルコントローラと、

RF部から入力された受信信号の復調を行っている復調部と、

前記復調部により復調されたデジタル信号と、前記CPU間通信シリアルコントローラから入力されたCPU間通信信号と前記フレームタイミング抽出部から入力されたフレームタイミング信号のフォーマットコンバートを行う多重化部と、

前記多重化部によりフォーマットコンバートされた復調されたデジタル信号に対してコーディング処理を行う高速デジタル信号用コーディング部と、

前記高速デジタル信号用コーディング部によりフォーマットコンバートされたデジタル信号のシリアル変換を行い、高速差動デジタル信号に変換してケーブル

に出力するパラレルシリアル変換部と、
とを有する請求項 1 記載の CDMA 基地局装置。

【請求項 5】 前記ケーブルが光りケーブルであり、
前記各 RF 信号処理ユニットが、それぞれ、
前記パラレルシリアル変換部によりパラレルシリアル変換されたデジタル信号
を光信号に変換して前記光ケーブルを介して前記ベースバンド信号処理ユニット
に出力する電気信号／光信号変換部と、
前記光ケーブルを介して前記ベースバンド信号処理ユニットから入力された高
速差動デジタル信号を電気信号に変換して前記シリアルパラレル変換部に出力す
る光信号／電気信号変換部とをさらに有する請求項 4 記載の CDMA 基地局装置
。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ベースバンド信号処理を行うためのベースバンド信号処理パネル（
ユニット）と、RF 信号処理を行うための複数の RF 信号処理パネル（ユニット
）とを有する CDMA（符号分割多元接続：Code Division Mu
ltiple Access）基地局装置に関し、特に CDMA 通信方式の 1 つ
である W-CDMA（Wide band-CDMA：広帯域 CDMA）通信
方式を採用した W-CDMA 基地局装置に関する。

【0002】

【従来の技術】

従来の CDMA 基地局装置では、ベースバンド信号処理パネルと RF 信号処理
パネル（主にアンプ）間の通信に、アナログ伝送方式が採用されていた（例えば
、特許文献 1、2 参照。）。しかし、アナログ伝送方式ではパネル間の CPU 間
通信を行うためには他の物理的なインターフェースが必要であったり、そのため
の特別な回路も必要となっていた。また基準フレームタイミングやフレーム番号
および基準クロックを伝送することが困難であり、そのためにも他の物理インター
フェースが必要であった。このことはベースバンド信号処理パネルと RF 信号

処理パネルの距離が近い場合にはそれほど問題とはならないが、距離が長い場合には大きな問題となる。

【0003】

【特許文献1】

特開2001-94509号公報

【特許文献2】

特開2001-345754号公報

【0004】

【発明が解決しようとする課題】

上述した従来のW-CDMA基地局装置では、ベースバンド信号処理パネルと複数のRF信号処理パネルとの間がそれぞれアナログ伝送方式による接続されているため下記のような問題点があった。

(1) 各パネル間のCPU間でCPU間通信を行うためには特別な回路が必要となる。

(2) 基準フレームタイミングやフレーム番号および基準クロックを伝送するためには他の物理インタフェースが必要となる。

【0005】

本発明の目的は、ベースバンド信号処理パネルとRF信号処理パネルとの間において、特別な回路を必要とせずにCPU間通信を可能とし、また他の物理インタフェースを必要とせずに基準フレーム、フレームタイミングおよび基準クロックを伝送することができるCDMA基地局装置を提供することである。

【0006】

【課題を解決するための手段】

上記目的を達成するために、本発明のCDMA基地局装置は、ベースバンド信号処理を行うためのベースバンド信号処理ユニットと、RF信号処理を行うための複数のRF信号処理ユニットとを有するCDMA基地局装置において、

前記ベースバンド信号処理ユニットと前記複数のRF信号処理ユニットとの間がデジタル信号を双方向に伝送することができるケーブルにより接続され、

前記ベースバンド信号処理ユニットでは、CPU間通信信号、フレームタイミ

ング信号、フレーム番号、基準クロックのうちの少なくとも1つの信号をベースバンド信号に多重化して前記各RF信号処理ユニットに送信し、

前記複数のRF信号処理ユニットでは、フレームタイミング信号、CPU間通信信号のうちの少なくとも1つの信号を、復調されたデジタル信号に多重して前記ベースバンド信号処理ユニットに送信することを特徴とする。

【0007】

本発明によれば、CDMA基地局装置において、ベースバンド信号処理を行うベースバンド信号処理ユニットとRF信号処理を行う複数のRF信号処理ユニットとがそれぞれケーブルで接続され、双方向の高速デジタル信号によりインターフェースを行うことが可能となっている。そして、ベースバンド信号処理ユニットでは、CPU間通信信号、フレームタイミング信号、フレーム番号、基準クロック等の信号のうちの少なくとも1つの信号をベースバンド信号に多重化して各RF信号処理ユニットに送信し、複数のRF信号処理ユニットでは、フレームタイミング信号、CPU間通信信号等の信号のうちの少なくとも1つの信号を、復調されたデジタル信号に多重してベースバンド信号処理ユニットに送信するようにしている。

【0008】

従って、ベースバンド信号処理ユニットと各RF信号処理ユニットとの間で、特別な回路を必要とすることなく、UARTやHDLCなどのCPU間シリアル通信が可能となり、相手ユニットの状態監視、各種制御が容易に行えるようになり、他の物理インタフェースを必要とすることなく、ベースバンド信号処理ユニットと複数のRF信号処理ユニットとの間で、基準となるフレームタイミング信号、フレーム番号、基準クロックの伝送が可能となる。

【0009】

また、本発明の他のCDMA基地局装置では、前記ベースバンド信号処理ユニットが、

下り送信用のデジタルデータのベースバンド処理および上り受信用のデータデータのベースバンド処理を行っているベースバンド信号処理部と、

前記ベースバンド信号処理部により生成された下り送信用のデジタルデータに

対してチャネライゼーションコーディングを行うチャネライゼーションコーディング処理部と、

前記チャネライゼーションコーディング処理部によりチャネライゼーションコーディングされたデジタルデータに対してスクランブルコーディングを行うスクランブルコーディング処理部と、

前記複数のRF信号処理ユニットの各CPUとCPU間シリアル通信を行うためのCPU間通信信号を生成しているCPU間通信シリアルコントローラと、

フレームタイミング信号の生成を行っているフレームタイミング生成部と、

フレーム番号の生成を行っているフレーム番号生成部と、

前記スクランブルコーディング処理部によりスクランブルコーディングされた後のデジタル信号、前記フレームタイミング生成部において生成されたフレームタイミング信号、前記フレーム番号生成部で生成されたフレーム番号、前記CPU間通信シリアルコントローラから入力されたCPU間通信信号を多重化して、フォーマットコンバートする多重化部と、

任意のチップタイミングで複数のRF信号処理ユニットのうちの任意のRF信号処理ユニットへのデータ信号をオン／オフするためのタイミングを生成しているIPDLタイミング生成部と、

前記多重化部により多重化およびフォーマットコンバートされた後のデジタル信号を、前記IPDLタイミング生成部により生成されたタイミングに基づいて、任意の区間のチップ単位のオン／オフ制御を行うIPDL用オン／オフ部と、

前記IPDL用オン／オフ部から入力された多重化されたデジタル信号に対してコーディング処理を行う高速デジタル信号用コーディング部と、

前記高速デジタル信号用コーディング部によりコーディングされた後のデジタル信号をパラレルシリアル変換することにより高速差動デジタル信号に変換して前記各RF信号処理ユニットに出力するパラレルシリアル変換部と、

前記各RF信号処理ユニットから入力されたシリアル信号をパラレルデジタル信号に変換するシリアルパラレル変換部と、

前記シリアルパラレル変換部によりパラレル変換された後の受信デジタル信号に対してデコーディング処理を行う高速デジタル信号用デコーディング部と、

前記高速デジタル信号用デコーディング部によりデコーディング処理が行われた後の受信デジタル信号を、復調された受信デジタル信号とCPU間通信信号とに分離する分離部とを有する。

【0010】

また、本発明の他のCDMA基地局装置では、前記ケーブルが光ケーブルであり、

前記ベースバンド信号処理ユニットが、

前記パラレルシリアル変換部によりパラレルシリアル変換されたデジタル信号を光信号に変換して前記光ケーブルを介して前記各RF信号処理ユニットに出力する電気信号／光信号変換部と、

前記光ケーブルを介して前記各RF信号処理ユニットから入力された高速差動デジタル信号を電気信号に変換して前記シリアルパラレル変換部に出力する光信号／電気信号変換部とをさらに有する。

【0011】

また、本発明の他のCDMA基地局装置では、前記複数のRF信号処理ユニットが、それぞれ、

前記ベースバンド信号処理ユニットからケーブルを通して入力された高速差動デジタル信号に対してパラレル変換を行うことによりパラレルデジタル信号に変換するシリアルパラレル変換部と、

前記シリアルパラレル変換部によりパラレル変換された後のパラレルデジタル信号から基準クロックを抽出するクロック抽出部と、

前記シリアルパラレル変換部によりパラレル変換されたデジタル信号に対してデコーディング処理を行う高速デジタル信号用デコーディング部と、

前記高速デジタル信号用デコーディング部によりデコーディング処理された後のデジタル信号を、スクランブルコーディングされたデジタル信号とCPU間通信信号とに分離する分離部と、

前記分離部により分離されたスクランブルデコーディングされたデジタル信号の変調を行い各移動局への送信を行うRF部へ出力する変調部と、

前記分離部において分離されたCPU間通信信号からフレームタイミングを抽

出しているフレームタイミング抽出部と、

前記分離部において分離されたCPU間通信信号からフレーム番号を抽出しているフレーム番号抽出部と、

前記ベースバンド信号処理ユニットのCPUと、CPU間シリアル通信を行うためのCPU間通信信号を生成しているCPU間通信シリアルコントローラと、RF部から入力された受信信号の復調を行っている復調部と、

前記復調部により復調されたデジタル信号と、前記CPU間通信シリアルコントローラから入力されたCPU間通信信号と前記フレームタイミング抽出部から入力されたフレームタイミング信号のフォーマットコンバートを行う多重化部と、

前記多重化部によりフォーマットコンバートされた復調されたデジタル信号に対してコーディング処理を行う高速デジタル信号用コーディング部と、

前記高速デジタル信号用コーディング部によりフォーマットコンバートされたデジタル信号のシリアル変換を行い、高速差動デジタル信号に変換してケーブルに出力するパラレルシリアル変換部と、

とを有する。

【0012】

また、本発明の他のCDMA基地局装置では、前記ケーブルが光りケーブルであり、

前記各RF信号処理ユニットが、それぞれ、

前記パラレルシリアル変換部によりパラレルシリアル変換されたデジタル信号を光信号に変換して前記光ケーブルを介して前記ベースバンド信号処理ユニットに出力する電気信号／光信号変換部と、

前記光ケーブルを介して前記ベースバンド信号処理ユニットから入力された高速差動デジタル信号を電気信号に変換して前記シリアルパラレル変換部に出力する光信号／電気信号変換部とをさらに有する。

【0013】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0014】

図1は本発明の一実施形態のW-CDMA基地局装置の構成を示すシステム図である。

【0015】

本実施形態のW-CDMA基地局装置では、ベースバンド信号処理パネル（B Bパネル）110と、 n 個のRF信号処理パネル（RFパネル）120₁～120 _{n} がそれぞれ全2重1本の光ケーブルで接続され、高速デジタル信号伝送を行っている。

【0016】

図1中のベースバンド信号処理パネル（B Bパネル）110の構成を図2に示す。ベースバンド信号処理パネル110は、図2に示されるように、ベースバンド信号処理部11と、チャネライゼーションコーディング処理部12と、スクランブルコーディング処理部13と、CPU21と、CPU間通信シリアルコントローラ22と、フレームタイミング生成部19と、フレーム番号生成部20と、MUX（多重化）部14と、IPDL（Idle Period for Downlink）用オン／オフ部15と、IPDLタイミング生成部23と、高速デジタル信号用コーディング部16と、パラレルシリアル変換部17と、電気信号／光信号変換部18と、光信号／電気信号変換部24と、シリアルパラレル変換部25と、高速デジタル信号用デコーディング部26と、DEMUX（分離）部27とから構成されている。

【0017】

ここで、チャネライゼーションコーディング処理部12と、スクランブルコーディング処理部13と、MUX部14と、IPDL用オン／オフ部15と、高速デジタル信号用コーディング部16と、パラレルシリアル変換部17と、電気信号／光信号変換部18とにより下り送信系が構成され、光信号／電気信号変換部24と、シリアルパラレル変換部25と、高速デジタル信号用デコーディング部26と、DEMUX部27とにより上り受信系が構成されている。

【0018】

ベースバンド信号処理部11は、下り送信用のデジタルデータのベースバンド

処理および上り受信用のデータデータのベースバンド処理を行っている。チャネライゼーションコーディング処理部 12 は、ベースバンド信号処理部 11 により生成された下り送信用のデジタルデータに対してチャネライゼーションコーディングを行う。スクランブルコーディング処理部 13 は、チャネライゼーションコーディング処理部 12 によりチャネライゼーションコーディングされたデジタルデータに対してスクランブルコーディングを行う。

【0019】

CPU間通信シリアルコントローラ 22 は、複数の RF パネル 120₁～120_nの各 CPU と、UART (Universal Asynchronous Receive Transmitter) や HDLC (High Level Data Link Control) などの CPU 間シリアル通信を行うための CPU 間通信信号を生成している。フレームタイミング生成部 19 は、フレームタイミング信号の生成を行っている。フレーム番号生成部 20 は、フレーム番号の生成を行っている。

【0020】

MUX 部 14 は、スクランブルコーディング処理部 13 によりスクランブルコーディングされた後のデジタル信号、フレームタイミング生成部 19 において生成されたフレームタイミング信号、フレーム番号生成部 20 で生成されたフレーム番号、CPU 間通信シリアルコントローラ 22 を通して入力された CPU 間通信信号を多重化してフォーマットコンバートする。

【0021】

IPDL 用オン／オフ部 15 は、MUX 部 14 により多重化およびフォーマットコンバートされた後のデジタル信号を、IPDL タイミング生成部 23 により生成されたタイミングに基づいて、任意の区間のチップ単位のオン／オフ制御を行う。IPDL タイミング生成部 23 は、CPU 21 により制御され、任意のチップタイミングで複数の RF パネル 120₁～120_nのうちの任意の RF パネルへのデータ信号をオン／オフするためのタイミングを生成している。

【0022】

高速デジタル信号用コーディング部 16 は、IPDL 用オン／オフ部 15 から入力された多重化されたデジタル信号に対してコーディング処理を行う。パラレ

ルシリアル変換部 17 は、高速デジタル信号用コーディング部 16 によりコーディングされた後のデジタル信号をパラレルシリアル変換することにより高速差動デジタル信号に変換して出力する。電気信号／光信号変換部 18 は、パラレルシリアル変換部 17 によりパラレルシリアル変換されたデジタル信号を光信号に変換して光ケーブルに出力する。

【0023】

光信号／電気信号変換部 24 は、光ケーブルを介して RF パネル 120₁～120_n から入力された高速差動デジタル信号を電気信号に変換する。シリアルパラレル変換部 25 は、光信号／電気信号変換部 24 により電気信号に変換されたシリアル信号をパラレルデジタル信号に変換する。

【0024】

高速デジタル信号用デコーディング部 26 は、シリアルパラレル変換部 25 によりパラレル変換された後の受信デジタル信号に対してデコーディング処理を行う。DEMUX 部 27 は、高速デジタル信号用デコーディング部 26 によりデコーディング処理が行われた後の受信デジタル信号を、復調された受信デジタル信号と CPU 間通信信号とに分離する。

【0025】

また、図 1 中の複数の RF パネル 120₁～120_n のうちの 1 つの RF 信号処理パネル（RF パネル）120₁ の構成を図 3 に示す。RF パネル 120₁ は、図 3 に示されるように、CPU 39 と、CPU 間通信シリアルコントローラ 38 と、光信号／電気信号変換部 45 と、シリアルパラレル変換部 31 と、CLK（クロック）抽出部 32 と、高速デジタル信号用デコーディング部 33 と、DEMUX 部 34 と、変調部 35 と、フレームタイミング抽出部 37 と、フレーム番号抽出部 36 と、復調部 40 と、MUX 部 41 と、高速デジタル信号用コーディング部 42 と、パラレルシリアル変換部 43 と、電気信号／光信号変換部 44 とから構成されている。

【0026】

ここで、光信号／電気信号変換部 45 と、シリアルパラレル変換部 31 と、CLK（クロック）抽出部 32 と、高速デジタル信号用デコーディング部 33 と、

DEMUX部34と、変調部35と、フレームタイミング抽出部37と、フレーム番号抽出部36とにより下り送信系が構成され、復調部40と、MUX部41と、高速デジタル信号用コーディング部42と、パラレルシリアル変換部43と、電気信号／光信号変換部44とにより上り受信系が構成されている。

【0027】

光信号／電気信号変換部45は、光ケーブルを介してBBパネル110から入力された高速差動デジタル信号を電気信号に変換する。シリアルパラレル変換部31は、BBパネル110からケーブルを通して入力された高速差動デジタル信号に対してシリアルパラレル変換することによりパラレルデジタル信号に変換する。CLK抽出部32は、シリアルパラレル変換部31によりパラレル変換された後のパラレルデジタル信号から基準CLKを抽出する。

【0028】

高速デジタル信号用デコーディング部33は、シリアルパラレル変換部31によりパラレル変換されたデジタル信号に対してデコーディング処理を行う。DEMUX部34は、高速デジタル信号用デコーディング部33によりデコーディング処理された後のデジタル信号を、スクランブルコーディングされたデジタル信号とCPU間通信信号とに分離する。

【0029】

変調部35は、DEMUX部34により分離されたスクランブルデコーディングされたデジタル信号の変調を行い各移動局への送信を行うRF部へ出力する。フレームタイミング抽出部37は、DEMUX部34において分離されたCPU間通信信号からフレームタイミングを抽出している。フレーム番号抽出部36は、DEMUX部34において分離されたCPU間通信信号からフレーム番号を抽出している。

【0030】

CPU間通信シリアルコントローラ38は、BBパネル110のCPUと、UARTやHDL CなどのCPU間シリアル通信を行うためのCPU間通信信号を生成している。

【0031】

復調部 40 は、RF 部から入力された受信信号の復調を行っている。MUX 部 41 は、復調部 40 により復調されたデジタル信号と、CPU 間通信シリアルコントローラ 38 から入力された CPU 間通信信号とフレームタイミング抽出部 37 から入力されたフレームタイミング信号のフォーマットコンバートを行う。

【0032】

高速デジタル信号用コーディング部 42 は、MUX 部 41 によりフォーマットコンバートされた復調されたデジタル信号に対してコーディング処理を行っている。パラレルシリアル変換部 43 は、高速デジタル信号用コーディング部 42 によりフォーマットコンバートされたデジタル信号のシリアル変換を行い、高速差動デジタル信号に変換してケーブルに出力する電気信号／光信号変換部 44 は、パラレルシリアル変換部 43 によりシリアル変換されたデジタル信号を光信号に変換して光ケーブルに出力する。

【0033】

次に、本実施形態の W-CDMA 基地局装置の動作について図面を参照して詳細に説明する。

【0034】

先ず、ベースバンド信号処理パネル 110 における下り送信系の動作について図 2 を参照して説明する。

【0035】

下り送信系について、ベースバンド信号処理部 11 で生成された下り送信用のデジタルデータはチャネライゼーションコーディング部 12 によりチャネライゼーションコーディングされたあと、スクランブルコーディング処理部 13 でスクランブルコーディングされる。スクランブルコーディングされたデジタル信号は MUX 部 14 に出力される。

【0036】

MUX 部 14 では CPU 21 からの制御により、複数ケーブルで接続される複数の RF パネル 120₁～120_nのうち、入力されたデジタル信号をどの RF パネルへ出力するかを選択が可能である。また、MUX 部 14 は、複数の RF パネル 120₁～120_nへ同一のスクランブルコーディングされたデジタル信号を出

力するマルチキャスト機能を有している。さらに、MUX部14にはフレームタイミング生成部19で生成されたフレームタイミング信号、フレーム番号生成部20で生成されたフレーム番号が入力されている。

【0037】

さらに複数のRFパネル $120_1 \sim 120_n$ の各CPU39と、UARTやHDL CなどのCPU間シリアル通信を行うための、CPU間通信信号が複数のCPU間通信シリアルコントローラ22を通して入力され、フォーマットコンバートされる。このとき、フレームタイミング信号は高速デジタル通信用のコーディングの特殊なコードを割り振ることなども出来る。例えば、高速デジタル通信用コーディング方式として、8b/10bコーディングを採用した場合には、フレームタイミングとしてコンマコードを使用することが出来、フレームタイミング認識用とチップタイミング認識用など異なったタイミングでの基準タイミングを伝送する場合には、異なるコンマコードを使用することも可能となる。またフレーム番号やCPU間通信信号はフレームタイミング信号を基準として周期的に挿入され、伝送される。

【0038】

MUX部14で多重化およびフォーマットコンバートされたデジタル信号は、IPDL用オン/オフ部15を通して高速デジタル信号用コーディング部16に出力される（例えば8b/10bコーディング回路など）。IPDL用オン/オフ部15では、CPU21により、任意のチップタイミングで任意のRFパネルへのデジタル信号をオン/オフするためのタイミングを生成するIPDLタイミング生成部23を制御することにより、任意の区間のチップ単位のオン/オフ制御を可能にする。

【0039】

高速デジタル信号用コーディング部16では入力された多重化されたデジタル信号をコーディング（例えば8b/10bコーディング）してパラレルシリアル変換部（SerDes）17に出力する。

【0040】

パラレルシリアル変換部17では、多重化されたデジタル信号をパラレルシリ

アル変換し、L V D S (Low Voltage Differential Signaling)やL V P E C L (low-voltage positive/pseudo emitter-coupled logic) などの高速差動デジタル信号に変換して、R F パネル 1 2 0₁～1 2 0_nとインターフェースするケーブルに出力する。高速差動デジタル信号はそれぞれのケーブル (全 2 重) を通して、接続された R F パネル 1 2 0₁～1 2 0_nに伝送される。また B B パネル 1 1 0 と R F パネル 1 2 0₁～1 2 0_nの距離が長い場合などには、パラレルシリアル変換されたデジタル信号を電気信号／光信号変換部 1 8 にて光信号に変換して光ケーブルを使用して伝送することも可能である。

【 0 0 4 1 】

次に、R F 信号処理パネル (R F パネル) 1 2 0₁～1 2 0_nの動作について説明する。ただし、以下の説明では説明を簡単にするために R F パネル 1 2 0₁の動作について説明する。

【 0 0 4 2 】

R F パネル 1 2 0₁の下り送信系では、B B パネル 1 1 0 からケーブルを通して入力された高速差動デジタル信号はシリアルパラレル変換部 (S e r D e s) 3 1 にて、パラレルデジタル信号に変換される。また受信 C L K 抽出部 3 2 にて基準 C L K が抽出される。パラレル変換されたデジタル信号は高速デジタル信号用デコーディング部 3 3 にてデコーディングされ、D E M U X 部 3 4 にてスクランブルコーディングされたデジタル信号と C P U 間通信信号を分離する。またフレームタイミング抽出部 3 7 においてフレームタイミングが抽出され、後段にて使用されるとともに、上り受信系でのフレームタイミング信号として使用される。フレーム番号抽出部 3 6 においてフレーム番号が抽出され、C P U 3 9 へ出力される。D E M U X 部 3 4 にて分離されたスクランブルコーディングされたデジタル信号は変調部 3 5 にて変調され、R F 部 (主に A M P) へ出力される。また D E M U X 部 3 4 において分離された C P U 間通信信号は C P U 間通信シリアルコントローラ 3 8 を通して C P U 3 9 へ出力される。

【 0 0 4 3 】

そして、R F パネル 1 2 0₁の上り受信系では、R F 部から入力された受信信号は復調部 4 0 で復調されたあと M U X 部 4 1 に出力される。M U X 部 4 1 では

復調されたデジタル信号とCPU間通信シリアルコントローラ38から入力されるCPU間通信信号とフレームタイミング抽出部37から入力されるフレームタイミング信号のフォーマットコンバートを行う。この場合送信系と同様にフレームタイミングには高速デジタル信号用の特殊コードを採用することもできる。フォーマットコンバートされた復調されたデジタル信号は、高速デジタル信号用コーディング部42にてコーディングされ（例えば8b/10bコーディング）、パラレルシリアル変換部43に出力される。パラレルシリアル変換部（SerDes）43ではシリアル変換を行い、高速差動デジタル信号に変換してケーブルに出力する。出力された高速差動デジタル信号は送信系と同じケーブル（全2重）をしてBBパネル110に出力される。また送信系と同様に、BBパネル110とRFパネル120₁～120_nの距離が長い場合などには、シリアル変換された受信デジタル信号を電気信号/光信号変換部44にて光信号に変換し、光ケーブルを通してBBパネル110に出力することも可能である。

【0044】

最後に、ベースバンド信号処理パネル110における上り受信系の動作について図2を参照して説明する。

【0045】

ベースバンド信号処理パネル110では、RFパネル120₁からケーブルを通して入力される高速差動デジタル信号は、シリアルパラレル変換部25に輸入される。また光ケーブルを通して入力された場合は、光信号/電気信号変換部24にて電気信号に変換されたあと、シリアルパラレル変換部25に輸入される。シリアルパラレル変換部25ではシリアル信号をパラレルデジタル信号に変換し、高速デジタル信号用デコーディング部26に出力する。高速デジタル信号用デコーディング部26では、入力されたパラレル変換された受信デジタル信号をデコーディングし、DEMUX部27に出力する。DEMUX部27では、復調された受信デジタル信号とCPU間通信信号との分離を行う。分離された復調された受信デジタル信号はベースバンド信号処理部11に出力される。

【0046】

また分離されたCPU間通信信号はCPU間通信シリアルコントローラ22を

通してCPU21に出力される。以上によりBBパネル110と複数のRFパネル120₁～120_nをそれぞれ1本のケーブル（全2重）で接続することにより、ベースバンド信号とCPU間通信信号、フレームタイミング信号、フレーム番号を送信することを実現することができる。

【0047】

本実施形態のW-CDMA基地局装置によれば、BBパネル110と複数のRFパネル120₁～120_nがそれぞれ1本のケーブルで接続され、双方向の高速デジタル信号によりインターフェースを行うことが可能となっている。

【0048】

そして、ベースバンド信号処理を行うBBパネル110においてはベースバンド信号のチャネライゼーションコーディング処理とスクランブルコーディング処理を行った後、RFパネル120₁～120_nとインターフェースするためのフォーマットコンバートをMUX部14にて行う。MUX部14ではCPU21からの制御により複数接続されるRFパネル120₁～120_nに対して任意に送信RFパネルを変えることができる。さらには複数のRFパネル120₁～120_nに対し、同一のベースバンド信号を送信するマルチキャスト機能を有する。

【0049】

また、本実施形態では、BBパネル110のCPU21とRFパネル120₁～120_nのCPU39は同一のケーブルを通して、UART（Universal Asynchronous Receive Transmitter）やHDLC（High Level Data Link Control）などのCPU間シリアル通信を行うことが可能である。そのため、MUX部14では、チャネライゼーションコーディング処理とスクランブルコーディング処理を行ったベースバンド信号とCPU間通信信号、さらには装置内のフレームタイミング信号やフレーム番号、基準CLKなどの多重化を行うことができる。

【0050】

多重化されたベースバンド信号は高速デジタル信号伝送を行うために、8b/10bなどのコーディングが行われる。8b/10bでコーディングされた場合、フレームタイミングとしてコンマコードを使用することが出来、フレーム認識用とチップ（chip）認識用など異なったタイミングでの基準タイミングを送信す

る場合には、異なるコマコードを使用することも可能である。

【 0 0 5 1 】

コーディングされたデジタル信号は S e r D e s 等のパラレルシリアル変換部 1 7 により高速差動デジタル信号に変換され、ケーブルを通して R F パネル 1 2 0₁ ~ 1 2 0_n に伝送される。また高速デジタル信号を光に変換し、光ケーブルによる光伝送も可能である。

【 0 0 5 2 】

さらには I P D L 機能として C P U 2 1 からの制御により、R F パネル 1 2 0₁ ~ 1 2 0_n のうちの任意の R F パネルに対するベースバンド信号を、任意の区間個別にチップ単位でオン／オフする機能を有する。

【 0 0 5 3 】

R F パネル 1 2 0₁ ~ 1 2 0_n では送られてきた高速デジタル信号を S e r D e s 等のシリアルパラレル変換部 3 1 によりシリアル・パラレル変換し、D E M U X 部 3 4 において分離をおこないベースバンド信号と C P U 間通信信号などの分離が行われる。また受信信号においては送信側と同様な処理が行われ、デモジュレートされたデジタル信号の高速デジタル伝送を行う。

【 0 0 5 4 】

本実施形態の W - C D M A 基地局装置によれば、ベースバンド信号処理パネル 1 1 0 では、C P U 間通信信号、フレームタイミング信号、フレーム番号、基準クロック等の信号をベースバンド信号に多重化して R F パネル 1 2 0₁ ~ 1 2 0_n に送信し、R F パネル 1 2 0₁ ~ 1 2 0_n では、フレームタイミング信号、C P U 間通信信号等の信号を、復調されたデジタル信号に多重して B B パネル 1 1 0 に送信するようにしている。従って、特別な回路を必要とすることなく、U A R T や H D L C などの C P U 間シリアル通信が可能となり、相手パネルの状態監視、各種制御が容易に行えるようになり、他の物理インタフェースを必要とすることなく、ベースバンド信号処理ユニットと複数の R F 信号処理ユニットとの間で、基準となるフレームタイミング信号、フレーム番号、基準クロックの伝送が可能となる。

【 0 0 5 5 】

本実施形態のW-CDMA基地局装置では、BBパネル110と複数のRFパネル120₁~120_nとの間を光ケーブルで接続した場合を用いて説明したが、本発明はこれに限定されるものではなく、BBパネル110と複数のRFパネル120₁~120_nとの間を電気信号を伝送するための一般的なケーブルにより接続した場合でも同様に本発明を適用することができるものである。この場合、BBパネル110における電気信号／光信号変換部18、光信号／電気信号変換部24およびRFパネル120₁~120_nにおける電気信号／光信号変換部44、光信号／電気信号変換部45は当然ながら不要となる。

【0056】

また、本実施形態では、CDMA基地局装置の一例としてW-CDMA基地局装置を用いて説明しているが、本発明はこのような場合に限定されるものではなく他の方式のCDMA基地局装置にも同様に適用することができるものである。

【0057】

さらに、本実施形態では、ベースバンド信号処理パネル110では、CPU間通信信号、フレームタイミング信号、フレーム番号、基準クロック等の全ての信号をベースバンド信号に多重化してRFパネル120₁~120_nに送信する場合を用いて説明しているが、これらの信号のうちの少なくとも1つの信号をベースバンド信号に多重化してRFパネル120₁~120_nに送信するようにしてもよい。同様に、本実施形態では、RFパネル120₁~120_nは、フレームタイミング信号、CPU間通信信号等の全ての信号をBBパネル110に送信する場合を用いて説明しているが、これらの信号のうちの少なくとも1つの信号を、復調されたデジタル信号に多重してBBパネル110に送信するようにしてもよい。

【0058】

【発明の効果】

以上説明したように、本発明によれば、下記のような効果を得ることができる。

(1) ベースバンド信号処理ユニットと複数のRF信号処理ユニットの間で、特別な回路を必要とすることなく、UARTやHDLCなどのCPU間シリアル通信が可能となり、相手パネルの状態監視、各種制御が容易に行えるようになる。

(2) 他の物理インタフェースを必要とすることなく、ベースバンド信号処理ユニットと複数のRF信号処理ユニットとの間で、基準となるフレームタイミング信号、フレーム番号、もしくは基準クロックの伝送が可能となる。

【図面の簡単な説明】

【図1】

本発明の一実施形態のW-CDMA基地局装置の構成を示すシステム図である。

【図2】

図1中のベースバンド信号処理パネル110の構成を示すブロック図である。

【図3】

図1中のRF信号処理パネル120₁の構成を示すブロック図である。

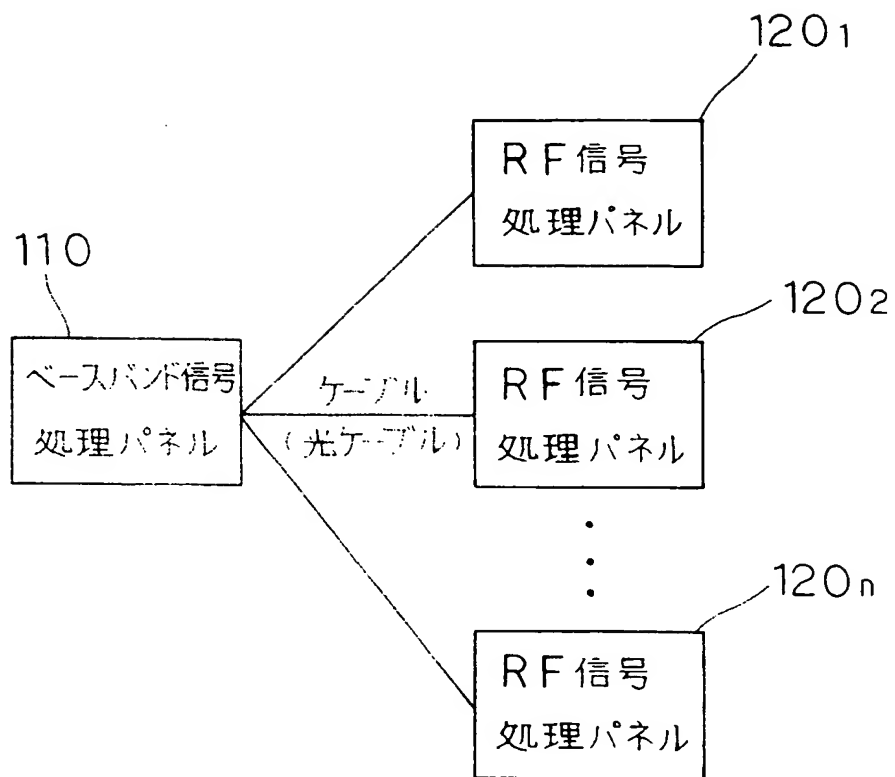
【符号の説明】

- 11 ベースバンド信号処理部
- 12 チャネライゼーションコーディング処理部
- 13 スクランブルコーディング処理部
- 14 MUX部
- 15 IPDL用オン／オフ部
- 16 高速デジタル信号用コーディング部
- 17 パラレルシリアル変換部
- 18 電気信号／光信号変換部
- 19 フレームタイミング生成部
- 20 フレーム番号生成部
- 21 CPU
- 22 CPU間通信シリアルコントローラ
- 23 IPDLタイミング生成部
- 24 光信号／電気信号変換部
- 25 シリアルパラレル変換部
- 26 高速デジタル信号用デコーディング部
- 27 DEMUX部

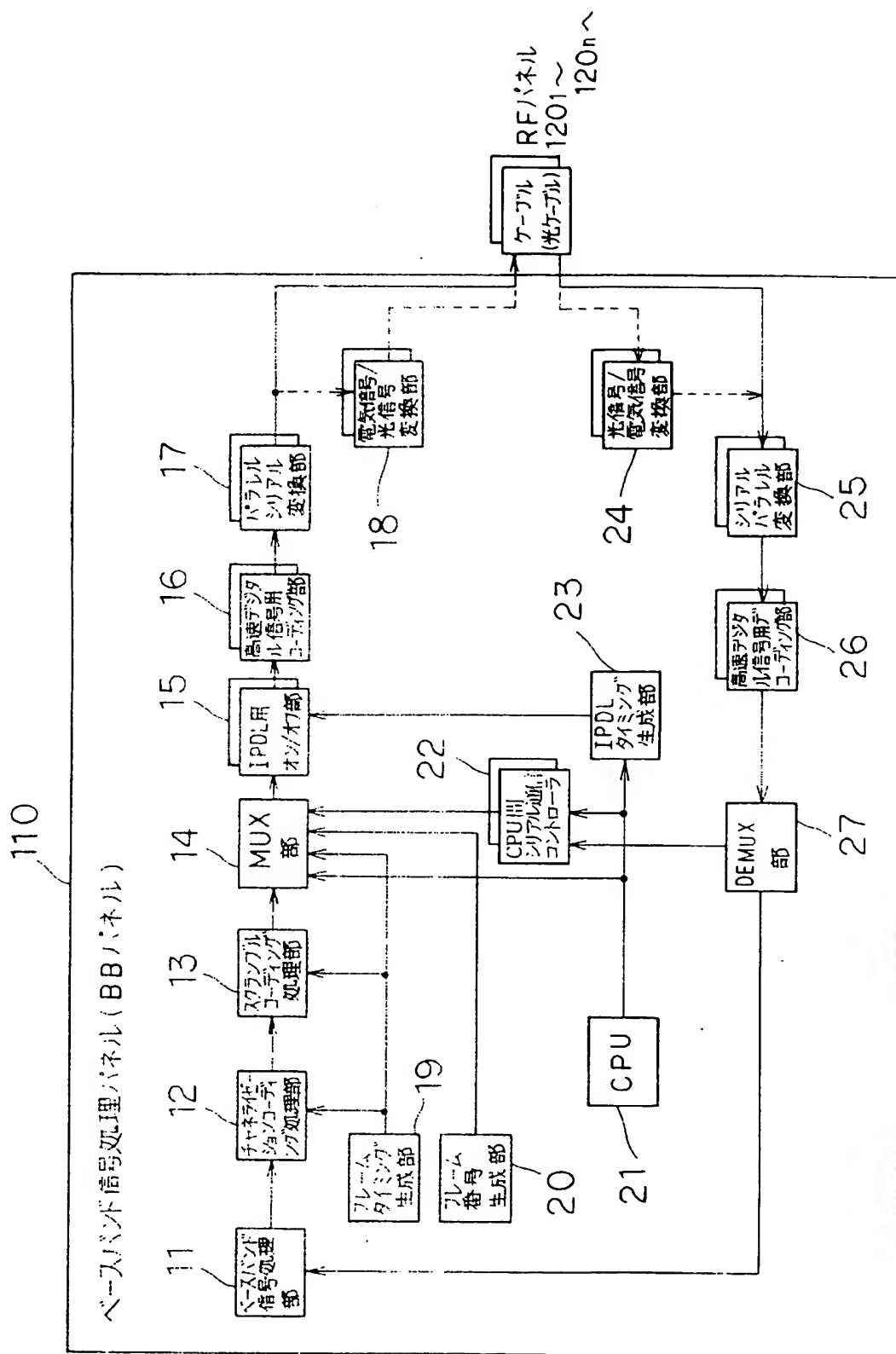
- 3 1 シリアルパラレル変換部
- 3 2 C L K 抽出部
- 3 3 高速デジタル信号用デコーディング部
- 3 4 D E M U X 部
- 3 5 変調部
- 3 6 フレーム番号抽出部
- 3 7 フレームタイミング抽出部
- 3 8 C P U 間通信シリアルコントローラ
- 3 9 C P U
- 4 0 復調部
- 4 1 M U X 部
- 4 2 高速デジタル信号用コーディング部
- 4 3 パラレルシリアル変換部
- 4 4 電気信号／光信号変換部
- 4 5 光信号／電気信号変換部
- 1 1 0 ベースバンド信号処理パネル (B B パネル)
- 1 2 0₁ ~ 1 2 0_n R F 信号処理パネル (R F パネル)

【書類名】 図面

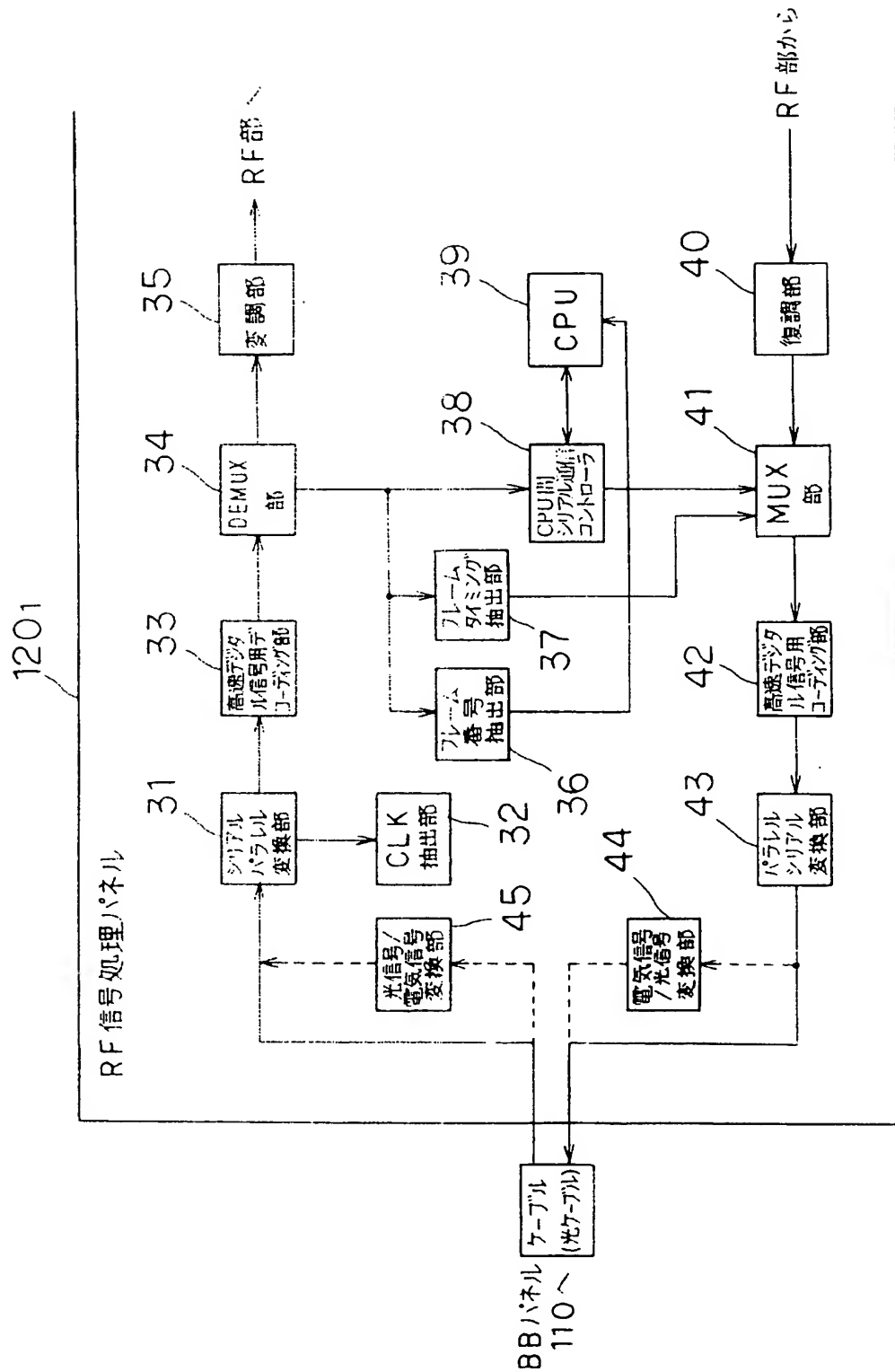
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 ベースバンド信号処理パネルと RF 信号処理パネルとの間において、特別な回路を必要とせずに CPU 間通信を可能とし、また他の物理インタフェースを必要とせずに基準フレーム、フレームタイミングおよび基準クロックを伝送することを可能とする。

【解決手段】 本発明の W-CDMA 基地局装置によれば、ベースバンド信号処理パネル 110 では、CPU 間通信信号、フレームタイミング信号、フレーム番号、基準クロック等の信号のうちの少なくとも 1 つの信号をベースバンド信号に多重化して RF パネル 120₁~120_n に送信し、RF パネル 120₁~120_n では、フレームタイミング信号、CPU 間通信信号等の信号のうちの少なくとも 1 つの信号を、復調されたデジタル信号に多重して BB パネル 110 に送信する。

【選択図】 図 1

特願 2 0 0 3 - 1 0 6 4 6 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社